

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshiaki SARUWATARI, et al.

Application No.:

Group Art Unit:

Filed: October 17, 2003

Examiner:

For: INFORMATION PROCESSING UNIT AND INFORMATION PROCESSING METHOD

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-307184

Filed: October 22, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: October 17, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 2 日
Date of Application:

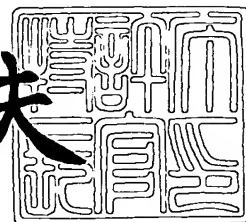
出 願 番 号 特 願 2 0 0 2 - 3 0 7 1 8 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 0 7 1 8 4]

出 願 人 富 士 通 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 5 2 4

【書類名】 特許願

【整理番号】 0240840

【提出日】 平成14年10月22日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/38

【発明の名称】 情報処理装置及び情報処理方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 猿渡 俊明

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 末武 清次

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び情報処理方法

【特許請求の範囲】

【請求項 1】 命令長の 2 倍以上の幅で命令を取り込み、プリフェッチした命令を蓄えておくプリフェッチバッファと、

前記プリフェッチバッファに蓄えられた命令をデコードするためのデコーダと、

前記デコードされた命令を実行するための演算器と、

分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行う命令要求制御回路と、

分岐命令により分岐した場合に分岐先命令を前記プリフェッチバッファに取り込み、分岐しなかった場合は無視するプリフェッチ制御回路とを有する情報処理装置。

【請求項 2】 前記プリフェッチバッファは、命令キャッシュメモリを介してメインメモリから命令を取り込む請求項 1 記載の情報処理装置。

【請求項 3】 前記プリフェッチ制御回路は、分岐が不成立の場合に分岐先の命令のプリフェッチ要求を取り消す制御信号を前記命令キャッシュメモリに出力することにより、キャッシュミスによるメモリメモリへのアクセスを禁止する請求項 2 記載の情報処理装置。

【請求項 4】 前記プリフェッチバッファは、命令キャッシュメモリから命令長の 2 倍の幅で命令を取り込み、命令長の幅で前記デコーダに命令を出力する請求項 2 記載の情報処理装置。

【請求項 5】 前記プリフェッチバッファは、最大 4 命令を蓄えることができる請求項 4 記載の情報処理装置。

【請求項 6】 前記デコーダ及び前記演算器は、1 命令単位で処理する請求項 1 記載の情報処理装置。

【請求項 7】 前記命令要求制御回路及び前記プリフェッチ制御回路は、遅延分岐命令が現れた場合にはそれに続く命令の後に分岐先に分岐するものとして処理する請求項 1 記載の情報処理装置。

【請求項 8】 前記分岐命令は、条件分岐命令及び／又は無条件分岐命令を含む請求項 1 記載の情報処理装置。

【請求項 9】 さらに、前記演算器の実行結果を書き込むためのレジスタを有する請求項 1 記載の情報処理装置。

【請求項 10】 命令長の 2 倍以上の幅で命令を取り込みプリフェッチした命令を蓄えておく第 1 のプリフェッチステップと、

前記プリフェッチした命令をデコードするデコードステップと、

前記デコードされた命令を実行するための実行ステップと、

分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行う命令要求ステップと、

分岐命令により分岐した場合に分岐先命令をプリフェッチし、分岐しなかった場合は無視する第 2 のプリフェッチステップと
を有する情報処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理技術に関し、特にパイプライン処理により命令フェッチ、命令デコード及び実行を行う情報処理技術に関する。

【0002】

【従来の技術】

パイプライン処理により命令フェッチ、命令デコード及び実行を行う情報処理装置では、分岐命令を実行すると共に次の命令をデコードしなければならないので、実際に分岐した場合にはパイプラインに空きスロットが発生し、ペナルティとなってしまう。この問題を解決するために遅延分岐、分岐予測、デュアルフェッチなどの方法が取られている。

【0003】

下記の特許文献 1 の情報処理装置は、分岐命令のシーケンシャル側とターゲット側の命令系列の両方をフェッチする命令フェッチ部と、命令フェッチ部からのフェッチ要求に応答してキャッシュメモリまたはメインメモリから命令をフェッ

チするキャッシュ制御部と、メインメモリへのアクセスを行うメモリバスアクセス部と、フェッチした命令を保持する命令バッファと、命令バッファに格納される分岐命令の分岐予測を分岐命令の実行に先行して行う分岐予測部とを有する。キャッシュ制御部は、分岐命令の分岐方向が未確定の場合に、分岐予測部からの分岐予測方向に応じて、キャッシュミス後のメインメモリへのメモリバスアクセスが制限される。キャッシュメモリを有するマイクロプロセッサにおいて、外部メインメモリへのアクセスに制限を加えて、メインメモリへのアクセス効率を高める。

【0004】

【特許文献1】

特開 2001-154845号公報

【0005】

【発明が解決しようとする課題】

上記の遅延分岐は、遅延分岐命令が現れた場合にはそれに続く命令（遅延スロット）の後に分岐先に分岐するものである。遅延分岐では、遅延スロットに入れる命令が無い場合はペナルティが残る問題があり、又、遅延スロットへ挿入できる命令は通常1命令であるため、命令フェッチに2サイクルかかるようなパイプライン構造では、ペナルティが発生する。

【0006】

上記の分岐予測は、デコードにより分岐予測を行ってプリフェッチするものである。分岐予測では、予測が外れた場合には同じくペナルティが発生する。そのため、予測のヒット率を向上させなければならないが、そのための機構は複雑かつ大規模になる。

【0007】

上記のデュアルフェッチは、分岐しない場合及び分岐する場合のための2ポート用意するものである。デュアルフェッチでは、プリフェッチバッファを用意し、その内容をプリデコードし、分岐命令であれば、分岐先命令とシーケンシャル側の命令の両方の命令をフェッチするが、フェッチ用のバスが2本必要になり、大規模で複雑なものになる。

【0008】

さらに、分岐予測で予測に失敗した場合やデュアルフェッチの場合にキャッシュミスした場合には、外部のメインメモリへ無駄なアクセスが発生するためペナルティが大きくなる。

【0009】

本発明の目的は、大規模な回路を使用せず、簡単な論理回路で分岐命令実行時のペナルティを無くす手法を提供することである。

【0010】**【課題を解決するための手段】**

本発明の一観点によれば、命令長の2倍以上の幅で命令を取り込み、プリフェッチした命令を蓄えておくプリフェッチバッファと、プリフェッチバッファに蓄えられた命令をデコードするためのデコーダと、デコードされた命令を実行するための演算器とを有する情報処理装置が提供される。命令要求制御回路は、分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行う。プリフェッチ制御回路は、分岐命令により分岐した場合に分岐先命令をプリフェッチバッファに取り込み、分岐しなかった場合は無視する。

【0011】

分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行うことにより、分岐しない場合と分岐する場合のどちらの命令も用意することが可能となる。また、大規模な予測回路等を使用せず分岐成立／不成立に関わらず分岐ペナルティを無くすことが可能となる。

【0012】**【発明の実施の形態】**

図2は、本発明の実施形態の処理対象であるコンピュータプログラム（命令群）a～vの例を示す。各命令a～vは、それぞれ命令長が16ビットである。アドレスの1つの番地には、1バイト（8ビット）が記憶可能である。例えば、200番地～210番地のアドレスには命令a～fが記憶され、400番地～40

6番地のアドレスには命令 s ~ v が記憶される。400番地には、「label 0」のラベルが付与されている。このプログラムを実行すると、まず命令 a を実行する。命令 a では、例えばレジスタ r0 と r2 の値を比較する。次に、命令 b を実行する。命令 b は、上記の比較の結果、レジスタ r0 と r2 が同じであれば「label 0」（400番地）に分岐させ、同じでなければ分岐せずにシーケンシャルに命令を実行させるための命令である。このような命令 b が分岐命令である。分岐命令は、条件分岐命令及び／又は無条件分岐命令を含む。条件分岐命令は、命令 b のように比較結果等の条件に応じて分岐させる命令である。無条件分岐命令は、CALL 命令又は JUMP 命令のように無条件に分岐させる命令である。

【0013】

分岐命令 b は、特に遅延分岐命令（例えば「:D」で表す）である。遅延分岐命令について説明する。条件分岐命令は、条件に合致すれば分岐先に分岐し、条件に合致しなければ分岐しない。遅延分岐命令 b は、分岐しない場合には命令 b の後に命令 c、d、e 及び f をシーケンシャルに実行し、分岐する場合には命令 b の後に命令 c、s、t、u、v を順次実行する。すなわち、遅延分岐命令 b の後の命令 c は、分岐の有無にかかわらずに必ず実行し、その後に分岐することになる。遅延分岐命令 b の後の命令 c を、遅延スロット命令と呼ぶ。

【0014】

図1は、本発明の実施形態による情報処理装置の構成図である。この情報処理装置は、命令（アドレス）要求ステージ（以下、IAステージという）131、命令取り込み（フェッチ）ステージ（以下、IFステージ）132、命令デコードステージ（以下、IDステージという）133、実行ステージ（以下、EXステージという）134、レジスタ書き込みステージ（以下、WBステージという）135の5ステージのパイプライン処理を行う。命令ビット長が16ビットの場合を例に説明する。

【0015】

CPU（中央演算処理装置）101は、命令キャッシュメモリ（以下、命令キャッシュという）102を介してメインメモリ121と接続される。以下、具体

的に説明する。メインメモリ 121 は、例えば SDRAM であり、32 ビット幅のバス 122 を介して外部バス 120 に接続される。命令キャッシュ 102 は、32 ビット幅のバス 117 を介して外部バス 120 に接続される。CPU 101 は、32 ビット幅の命令用バス 112 を介して命令キャッシュ 102 に接続される。命令キャッシュ 102 は、頻繁に使用する命令（プログラム）の一部を予めメインメモリ 121 から読み込み記憶し、逆に使用されないものから追い出していく。CPU 101 が要求する命令が命令キャッシュ 102 上にある場合をキャッシュヒットという。キャッシュヒットした場合には、CPU 101 は命令キャッシュ 102 から命令を受け取ることができる。それに対し、CPU 101 が要求する命令が命令キャッシュ 102 上にない場合をキャッシュミスという。キャッシュミスの場合は、命令キャッシュ 102 がバスアクセス信号 116 によりメインメモリ 121 に命令の読み出し要求を行う。CPU 101 は、命令キャッシュ 102 を介してメインメモリ 121 から命令を読み出すことができる。バス 112 の転送速度は、外部バス 120 の転送速度に比べて極めて速い。したがって、キャッシュヒットした場合には、キャッシュミスした場合に比べ、命令読み出し速度が極めて速い。また、命令（プログラム）がシーケンシャルに読み出される可能性が高いことからキャッシュヒット率が高くなるので、命令キャッシュ 102 を設けることにより、CPU 101 の命令読み出し速度が全体的に速くなる。

【0016】

CPU 101 は、命令キュー（プリフェッチバッファ）103、命令フェッチ制御部 104、命令デコーダ 105、分岐ユニット 106、演算器 107、ロード及びストア部 108、及びレジスタ 109 を有する。命令キュー 103 は、例えば 16 ビット長の命令を最大 4 個記憶可能であり、32 ビット幅のバス 112 を介して命令キャッシュ 102 に接続され、16 ビット幅のバス 115 を介して命令デコーダ 105 に接続される。すなわち、命令キュー 103 は、命令キャッシュ 102 からの命令を 32 ビット単位で書き込み、16 ビット単位の命令を読み出して命令デコーダ 105 に出力する。命令フェッチ制御部 104 は、命令キャッシュ 102 に対してキャッシュアクセス制御信号 110 を入出力し、命令キ

ユー 103 の入出力を制御する。命令デコーダ 105 は、命令キュー 103 に蓄えられた命令を 1 命令単位でデコードする。演算器 107 は、命令デコーダ 105 がデコードした命令を 1 命令単位で実行（演算）する。レジスタ 109 には、演算器 107 の実行結果が書き込まれる。ロード及びストア部 108 は、命令デコーダ 105 がデコードした命令がロード又はストアであるときに、レジスタ 109 及びメインメモリ 121 間でロード又はストアを行う。

【0017】

命令フェッチ動作は、CPU 101 の状態に従い、命令フェッチ制御部 104 が命令キャッシュ 102 に命令要求を行い（IA ステージ 131）、次のサイクルで命令キュー 103 に取り込む（IF ステージ 132）ことで行う。ただし、本実施形態では、命令キュー 103 に後続命令を蓄えることにより分岐ペナルティを減らすことを特徴とするため、命令長の 2 倍である 32 ビット単位（2 命令）で命令フェッチ動作を行う。次に、命令キュー 103 の最初の命令を命令デコーダ 105 でデコードし（ID ステージ 133）、次のサイクルで命令により指示された動作を行い（EX ステージ 134）、レジスタ 109 への書き戻し（WB ステージ 135）を行うことで一つの命令を完了する。CPU 101 は、これらの動作をパイプラインで行うことを特徴とする。

【0018】

命令デコーダ 105 は、命令デコーダ 105 がデコードした命令が分岐命令であるとき、分岐命令デコード通知信号 113 を命令フェッチ制御部 104 及び分岐ユニット 106 に出力する。命令フェッチ制御部 104 は、分岐命令デコード通知信号 113 を入力（分岐命令をデコード）した時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行う。具体的には、命令フェッチ制御部 104 は、キャッシュアクセス制御信号 110 を命令キャッシュ 102 に出力することによりプリフェッチ要求する。プリフェッチ要求により、命令キャッシュ 102 から命令キュー 103 に命令がプリフェッチされる。

【0019】

このように分岐命令を実行する前のデコードの段階で分岐先命令のプリフェッ

チ要求を行う。この後、分岐命令を実行した段階で、分岐の有無が決定する。すなわち、演算器 107 の演算により分岐命令の直前の命令が実行され、実行結果がレジスタ 109 に書き込まれる。このレジスタ 109 内の実行結果 119 は、分岐ユニット 106 に入力される。演算器 107 の演算により分岐命令が実行され、分岐条件が成立したかを示す情報が例えばレジスタ 109 内に設けられたフラグを介して分岐ユニット 106 に入力される。分岐ユニット 106 は、分岐命令デコード通知信号 113 及び分岐命令実行結果 119 に応じて、分岐命令実行通知信号 114 を命令フェッチ制御部 104 に出力する。すなわち、分岐命令の実行結果に応じて、分岐命令実行通知信号 114 を用いて分岐するか否かを通知する。命令フェッチ制御部 104 は、分岐する場合には上記でプリフェッチ要求した分岐先命令を命令キュー 102 にプリフェッチし、分岐しない場合には上記でプリフェッチ要求した分岐先命令のプリフェッチを行わずに無視し、シーケンシャルの命令のプリフェッチ、デコード及び実行を行うと共に、アクセスキャンセル信号 111 を命令キャッシュ 102 に出力する。命令キャッシュ 102 は、既に上記の分岐先のプリフェッチ要求を受けており、キャッシュミスした場合にはメインメモリ 121 にアクセスしようとしている。命令キャッシュ 102 は、アクセスキャンセル信号 111 を入力すると、メインメモリ 121 へのアクセスをキャンセルする。これにより、不要なメインメモリ 121 へのアクセスをなくし、性能低下を防止できる。

【0020】

なお、実行結果 119 は、説明の簡単のために、レジスタ 109 から分岐ユニット 106 に入力されるように示したが、実際にはバイパス回路を用いることにより EX ステージ 134 の実行完了を待たずに、実行結果 119 を分岐ユニット 106 に入力することができる。

【0021】

図 3 は、参考のために、単純に 1 命令ずつ処理を行う通常の情報処理装置の動作を示すタイミングチャートである。図 2 のプログラムの処理を行う場合を例に説明する。キャッシュアクセスアドレス I A 1 は、分岐しない場合に命令要求するアドレスを示す。キャッシュアクセスデータ I F 1 は、分岐しない場合に命令

キャッシュ 112 が命令キュー 103 に出力するデータである。キャッシュアクセスアドレス IA2 は、分岐する場合に命令要求するアドレスを示す。キャッシュアクセスデータ IF2 は、分岐する場合に命令キャッシュ 112 が命令キュー 103 に出力するデータである。

【0022】

サイクル CY1 では、命令 a を IA ステージ 131 で命令要求する。この際、キャッシュアクセスアドレス IA1 及び IA2 は命令 a のアドレスである。

【0023】

次に、サイクル CY2 では、命令 a を IF ステージ 132 でフェッチし、遅延分岐命令（条件分岐命令）b を IA ステージ 131 で命令要求する。この際、キャッシュアクセスアドレス IA1 及び IA2 は命令 b のアドレスであり、キャッシュアクセスデータ IF1 及び IF2 は命令 a である。

【0024】

次に、サイクル CY3 では、命令 a を ID ステージ 133 でデコードし、遅延分岐命令 b を IF ステージ 132 でフェッチし、命令 c（遅延スロット）を IA ステージ 131 で命令要求する。この際、キャッシュアクセスアドレス IA1 及び IA2 は命令 c のアドレスであり、キャッシュアクセスデータ IF1 及び IF2 は命令 b である。

【0025】

次に、サイクル CY4 では、命令 a を EX ステージ 134 で実行し、遅延分岐命令 b を ID ステージ 133 でデコードし、命令 c を IF ステージ 132 でフェッチし、命令 d を IA ステージ 131 で命令要求する。この際、キャッシュアクセスアドレス IA1 及び IA2 は命令 d のアドレスであり、キャッシュアクセスデータ IF1 及び IF2 は命令 c である。

【0026】

上記の遅延分岐命令 b のデコード後の EX ステージ 134 で、分岐の有無が決定し、分岐の有無に応じてサイクル CY5 以降の処理が異なる。まず、分岐しない場合を説明する。

【0027】

サイクルCY5では、命令aをWBステージ135でレジスタ書き込みし、遅延分岐命令bをEXステージ134で実行し、命令cをIDステージ133でデコードし、命令dをIFステージ132でフェッチし、命令eをIAステージ131で命令要求する。この際、キャッシュアクセスアドレスIA1は命令eのアドレスであり、キャッシュアクセスデータIF1は命令dである。

【0028】

次に、サイクルCY6では、遅延分岐命令bをWBステージ135でレジスタ書き込みし、命令cをEXステージ134で実行し、命令dをIDステージ133でデコードし、命令eをIFステージ132でフェッチし、命令fをIAステージ131で命令要求する。この際、キャッシュアクセスアドレスIA1は命令fのアドレスであり、キャッシュアクセスデータIF1は命令eである。

【0029】

以下、サイクルCY7以降も同様の処理を行う。以上のように、分岐しない場合には、命令aからシーケンシャルに処理を行えばよく、空スロットはできず、効率的なパイプライン処理を行うことができる。

【0030】

次に、分岐する場合を説明する。サイクルCY5において、分岐する場合には、上記のサイクルCY4で命令要求した命令dをキャンセルする。その結果、サイクルCY4のIAステージ131は空スロットになり、無駄な処理になる。サイクルCY5では、命令aをWBステージ135でレジスタ書き込みし、遅延分岐命令bをEXステージ134で実行し、命令cをIDステージ133でデコードし、IFステージ132は空スロットになり、分岐先命令sをIAステージ131で命令要求する。この際、キャッシュアクセスアドレスIA2は命令sのアドレスであり、キャッシュアクセスデータIF2は命令dである。

【0031】

次に、サイクルCY6では、遅延分岐命令bをWBステージ135でレジスタ書き込みし、命令cをEXステージ134で実行し、IDステージ133は空スロットになり、分岐先命令sをIFステージ132でフェッチし、命令tをIAステージ131で命令要求する。この際、キャッシュアクセスアドレスIA1は

命令 t のアドレスであり、キャッシュアクセスデータ I F 1 は命令 s である。

【0032】

次に、サイクル C Y 7 では、命令 c を W B ステージ 1 3 5 でレジスタ書き込みし、E X ステージ 1 3 4 は空スロットになり、分岐先命令 s を I D ステージ 1 3 3 でデコードし、命令 t を I F ステージ 1 3 2 でフェッチし、命令 u を I A ステージ 1 3 1 で命令要求する。この際、キャッシュアクセスアドレス I A 1 は命令 u のアドレスであり、キャッシュアクセスデータ I F 1 は命令 t である。

【0033】

以下、サイクル C Y 8 以降も同様の処理を行う。以上のように、分岐する場合には、ハッチで示した空スロット d が生じ、効率的なパイプライン処理を行うことができない。分岐命令 b の E X ステージ 1 3 4 まで分岐するかどうかの条件判定が出来ないため、後続に分岐先命令をフェッチするのかそのままシーケンシャルの命令をフェッチするのかを、判定までウェイトしてペナルティを発生させることになる。分岐する場合は、命令 c までは分岐しない場合と同様の動作となるが、遅延分岐命令 b の E X ステージ 1 3 4 で分岐が成立することがわかり、ここではじめて分岐先命令 s の命令要求を出すことになる。そのため、先に命令要求を出していた命令 d は、キャンセルし、結果としてパイプライン上に空きスロットが発生することになる。また、分岐予測を行った場合でも予測が外れた場合は、ペナルティが発生する。

【0034】

図 4 は、図 1 の本発明の実施形態による情報処理装置において分岐条件が成立し分岐する場合の動作を示すタイミングチャートである。図 2 のプログラムの処理を行う場合を例に説明する。キャッシュアクセスアドレス I A 1 は、命令要求するアドレスを示す。キャッシュアクセスデータ I F 1 は、命令キャッシュ 1 1 2 がキャッシュヒットして命令キュー 1 0 3 に出力するデータである。

【0035】

まず、サイクル C Y 1 では、2 つの命令 a 及び b を I A ステージ 1 3 1 で命令要求する。命令 b は、遅延分岐命令である。I A ステージ 1 3 1 では、3 2 ビットの 2 命令単位で命令要求を行うことができる。この際、キャッシュアクセスア

ドレス I A 1 は命令 a 及び b のアドレスである。

【0036】

次に、サイクル C Y 2 では、2つの命令 a 及び b を I F ステージ 1 3 2 でフェッチし、2つの命令 c 及び d を I A ステージ 1 3 1 で命令要求する。I F ステージ 1 3 2 では、32ビットの2命令単位でフェッチを行うことができる。このフェッチ動作により、命令キュー 1 0 3 には命令 a 及び b が格納される。この際、キャッシュアクセスアドレス I A 1 は命令 c 及び d のアドレスであり、キャッシュアクセスデータ I F 1 は命令 a 及び b である。

【0037】

次に、サイクル C Y 3 では、1つの命令 a を I D ステージ 1 3 3 でデコードし、2つの命令 c 及び d を I F ステージ 1 3 2 でフェッチする。I D ステージ 1 3 3 では、16ビットの1命令単位でデコードを行う。命令 c 及び d がフェッチのために入力され、命令 a がデコードのために出力されるので、命令キュー 1 0 3 には命令 b, c, d が格納される。この際、キャッシュアクセスデータ I F 1 は命令 c 及び d である。この例では、命令キュー 1 0 3 が最大4命令格納可能としているので、このサイクルでは命令要求を行わない。

【0038】

次に、サイクル C Y 4 では、命令 a を E X ステージ 1 3 4 で実行し、命令 b を I D ステージ 1 3 3 でデコードし、2つの分岐先命令 s 及び t を I A ステージ 1 3 1 で命令要求する。E X ステージ 1 3 4 では、16ビットの1命令単位で実行を行う。命令キャッシュ 1 0 3 には、命令 c 及び d が格納される。この際、キャッシュアクセスアドレス I A 1 は分岐先命令 s 及び t のアドレスである。

【0039】

このサイクル C Y 4 において、命令デコーダ 1 0 5 は、分岐命令 b をデコードすることにより、命令デコード通知信号 1 1 3 を出力する。命令フェッチ制御部 1 0 4 は、命令デコード通知信号 1 1 3 を受けて、分岐先命令 s 及び t の命令要求を行う。ここでは、命令キュー 1 0 3 の状態とは無関係に要求を行う。

【0040】

次に、サイクル C Y 5 では、命令 a を W B ステージ 1 3 5 でレジスタ書き込み

し、遅延分岐命令 b を EX ステージ 134 で実行し、命令 c を ID ステージ 133 でデコードし、分岐先命令 s 及び t を IF ステージ 132 でフェッチし、命令 u 及び v を IA ステージ 131 で命令要求する。命令 c (遅延スロット) は、前が遅延分岐命令 b であるために分岐したときにも ID ステージ発行する。分岐命令 b の実行により分岐条件の成立が決定し、命令 u 及び v の命令要求を行う。WB ステージ 135 では、16 ビットの 1 命令単位でレジスタ書き込みを行う。命令キャッシュ 103 には、命令 s 及び t が格納される。この際、キャッシュアクセスアドレス IA1 は命令 u 及び v のアドレスであり、キャッシュアクセスデータ IF1 は命令 s 及び t である。

【0041】

このサイクル CY5 において、分岐ユニット 106 は、分岐命令 b の実行により分岐条件が成立し、分岐するための分岐命令実行通知信号 114 を出力する。命令フェッチ制御部 104 は、制御信号 118 により、命令キュー 103 内の命令 d を削除する。

【0042】

次に、サイクル CY6 では、遅延分岐命令 b を WB ステージ 135 でレジスタ書き込みし、命令 c を EX ステージ 134 で実行し、分岐先命令 s を ID ステージ 133 でデコードし、命令 u 及び u 及び v を IF ステージでフェッチする。命令キャッシュ 103 には、命令 t、u 及び v が格納される。この際、キャッシュアクセスデータ IF1 は命令 u 及び v である。

【0043】

以下、サイクル CY7 以降も同様の処理を行う。以上のように、分岐する場合には、ハッチで示した空スロット d を分岐先命令 s のスロットで埋め、効率的なパイプライン処理を行うことができ、ペナルティが生じない。

【0044】

本実施形態では、命令用バス 112 の幅をバス 115 の幅 (命令長) の倍にすることにより命令供給のバンド幅を増やし、その余裕のできたバンド幅を利用して、分岐時のペナルティを減らしている。命令用バス 112 は、バス 115 の幅 (命令長) の 2 倍以上であればよい。

【0045】

以上のように、サイクルCY5では、遅延条件分岐命令bの条件がEXステージで確定する。ここで分岐する場合、分岐ユニット106からの分岐命令実行通知信号114を使用し、命令フェッチ制御部104に分岐することを通知する。命令フェッチ制御部104は、その通知を受けて命令キュー103に以前までのデータdを消去し、前のサイクルCY4で要求した命令s及びtを取り込むことを指示する。従って、命令キュー103の状態は分岐先命令sとその後続命令tが存在することとなる。また、命令フェッチ制御部104は、分岐先の後続命令u及びvの命令要求を行う。上記のような命令フェッチ動作を行うことにより、サイクルCY6で分岐先命令sをIDステージに発行できることとなり、分岐する場合にペナルティサイクルが発生しない。

【0046】

図5は、図1の本発明の実施形態による情報処理装置において分岐条件が成立せず分岐しない場合の動作を示すタイミングチャートである。図2のプログラムの処理を行う場合を例に説明する。キャッシュアクセスアドレスIA1は、命令要求するアドレスを示す。キャッシュアクセスデータIF1は、命令キャッシュ112がキャッシュヒットして命令キュー103に出力するデータである。

【0047】

サイクルCY1～CY4の動作は、図4の動作と同じであるため、説明を省略する。以下、サイクルCY5以降の説明を行う。

【0048】

サイクルCY5では、命令aをWBステージ135でレジスタ書き込みし、遅延分岐命令bをEXステージ134で実行し、命令c（遅延スロット）をIDステージ133でデコードし、2つの命令e及びfをIAステージ131で命令要求する。命令cは、前が遅延分岐命令bであるために分岐したときにもIDステージ発行する。分岐命令bの実行により分岐条件の不成立が決定し、分岐先命令s及びtのフェッチを行わず、命令e及びfの命令要求を行う。命令キャッシュ103には、命令dが格納される。この際、キャッシュアクセスアドレスIA1は命令e及びfのアドレスである。

【0049】

このサイクルCY5において、分岐ユニット106は、分岐命令bの実行により分岐条件が成立せず、分岐しないことを示す通知信号114を出力する。命令フェッチ制御部104は、キャッシュアクセス制御信号118により、命令キャッシュ102に命令e及びfの命令要求を行う。

【0050】

次に、サイクルCY6では、遅延分岐命令bをWBステージ135でレジスタ書き込みし、命令cをEXステージ134で実行し、命令dをIDステージ133でデコードし、命令e及びfをIFステージ132でフェッチする。命令キャッシュ103には、命令e及びfが格納される。この際、キャッシュアクセスデータIF1は命令e及びfである。

【0051】

以下、サイクルCY7以降も同様の処理を行う。以上のように、分岐しない場合には、分岐先命令sの命令要求を行った後、ハッチで示すフェッチ以降の処理を行わずに、シーケンシャルの命令dのデコード等を行うので、効率的なパイプライン処理を行うことができ、ペナルティが生じない。サイクルCY5で分岐命令bの条件が成立せず、分岐しない場合は、分岐ユニット106からの分岐命令実行通知信号114を使用して命令フェッチ制御部104に分岐命令で分岐しないことを通知する。それを受けて、命令フェッチ制御部104は、命令キュー103に分岐先命令の取り込みキャンセルを指示し、命令キュー103に存在する命令dの後続命令e及びfの要求を出す。

【0052】

このようなフェッチ動作を行うことにより、サイクルCY6では、遅延スロットcの次の命令dをIDステージに発行することが可能となり、さらにその後続命令e及びfのフェッチがそのサイクルCY6でできるため、分岐しない場合にもペナルティが発生しない。

【0053】

さらに、サイクルCY5で命令フェッチ制御部104からアクセスキャンセル信号111をアサートすることにより、分岐先命令s及びtの要求に対してキャ

ッシュミスし、外部のメインメモリ 121 へアクセスすることを抑止することを可能とする。具体的には、命令キャッシュ 102 は、アクセスキャンセル信号 111 を入力すると、キャッシュミスした場合に、バスリクエスト 116 をアサートせずに、メインメモリ 121 へのアクセスを行わない。これにより、不要なバスアクセスを防止し、性能の低下を防ぐことができる。

【0054】

本実施形態によれば、命令長の 2 倍以上の幅で命令を取り込み、プリフェッチした命令を蓄えておくプリフェッチバッファ 103 と、プリフェッチバッファに蓄えられた命令をデコードするためのデコーダ 105 と、デコードされた命令を実行するための演算器 107 とを有する情報処理装置が提供される。命令フェッチ制御部 104 は、分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行う。また、命令フェッチ制御部 104 は、分岐命令により分岐した場合に分岐先命令をプリフェッチバッファ 103 に取り込み、分岐しなかった場合は無視する。

【0055】

分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行うことにより、分岐しない場合と分岐する場合のどちらの命令も用意することが可能となる。また、大規模な予測回路等を使用せずに分岐成立／不成立に関わらず分岐ペナルティを無くすことが可能となる。また、分岐命令実行時、分岐しなかった場合にそれを知らせる信号 114 を用意し、命令キャッシュ 102 又はメモリコントローラに通知することにより、キャッシュミスによるメインメモリ 121 への不要なアクセスを防止できる。大規模な予測回路等を使用せず単純な論理回路で、分岐命令の成立／不成立にかかわらずに分岐ペナルティを無くすことが可能となり、不要な外部バス 120 へのアクセスも行わずに済む。

【0056】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴

から逸脱することなく、様々な形で実施することができる。

【 0 0 5 7 】

【発明の効果】

以上説明したように、分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行うことにより、分岐しない場合と分岐する場合のどちらの命令も用意することが可能となる。また、大規模な予測回路等を使用せず分岐成立／不成立に関わらず分岐ペナルティを無くすることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施形態による情報処理装置の構成図である。

【図 2】

本発明の実施形態の処理対象であるコンピュータプログラム（命令群）の例を示す図である。

【図 3】

単純に 1 命令ずつ処理を行う通常の情報処理装置の動作を示すタイミングチャートである。

【図 4】

本発明の実施形態による情報処理装置において分岐条件が成立し分岐する場合の動作を示すタイミングチャートである。

【図 5】

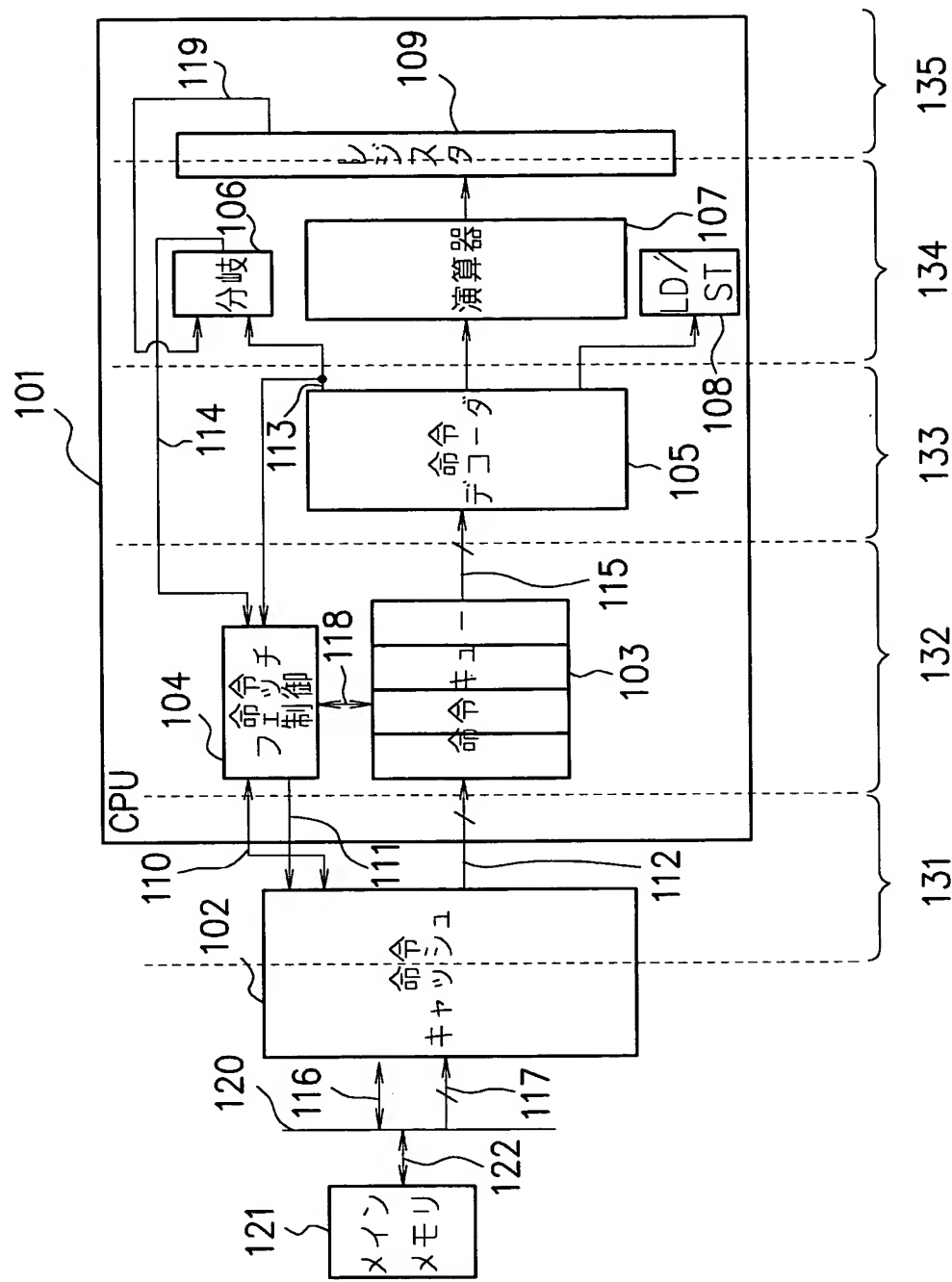
本発明の実施形態による情報処理装置において分岐条件が成立せず分岐しない場合の動作を示すタイミングチャートである。

【符号の説明】

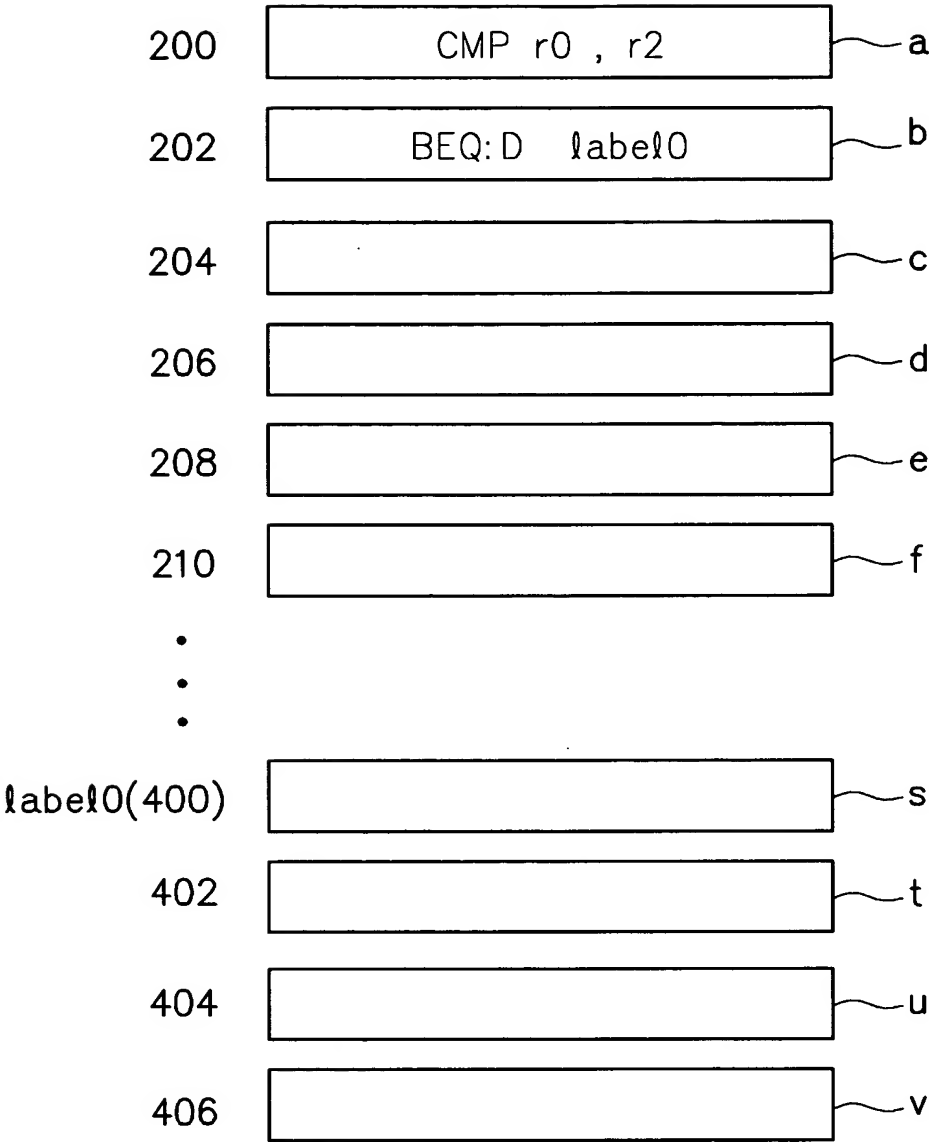
- 1 0 1 C P U
- 1 0 2 命令キャッシュ
- 1 0 3 命令キュー
- 1 0 4 命令フェッチ制御部
- 1 0 5 命令デコーダ

- 1 0 6 分岐ユニット
- 1 0 7 演算器
- 1 0 8 ロード及びストア部
- 1 0 9 レジスタ
- 1 2 1 メインメモリ
- 1 3 1 I A ステージ
- 1 3 2 I F ステージ
- 1 3 3 I D ステージ
- 1 3 4 E X ステージ
- 1 3 5 W B ステージ

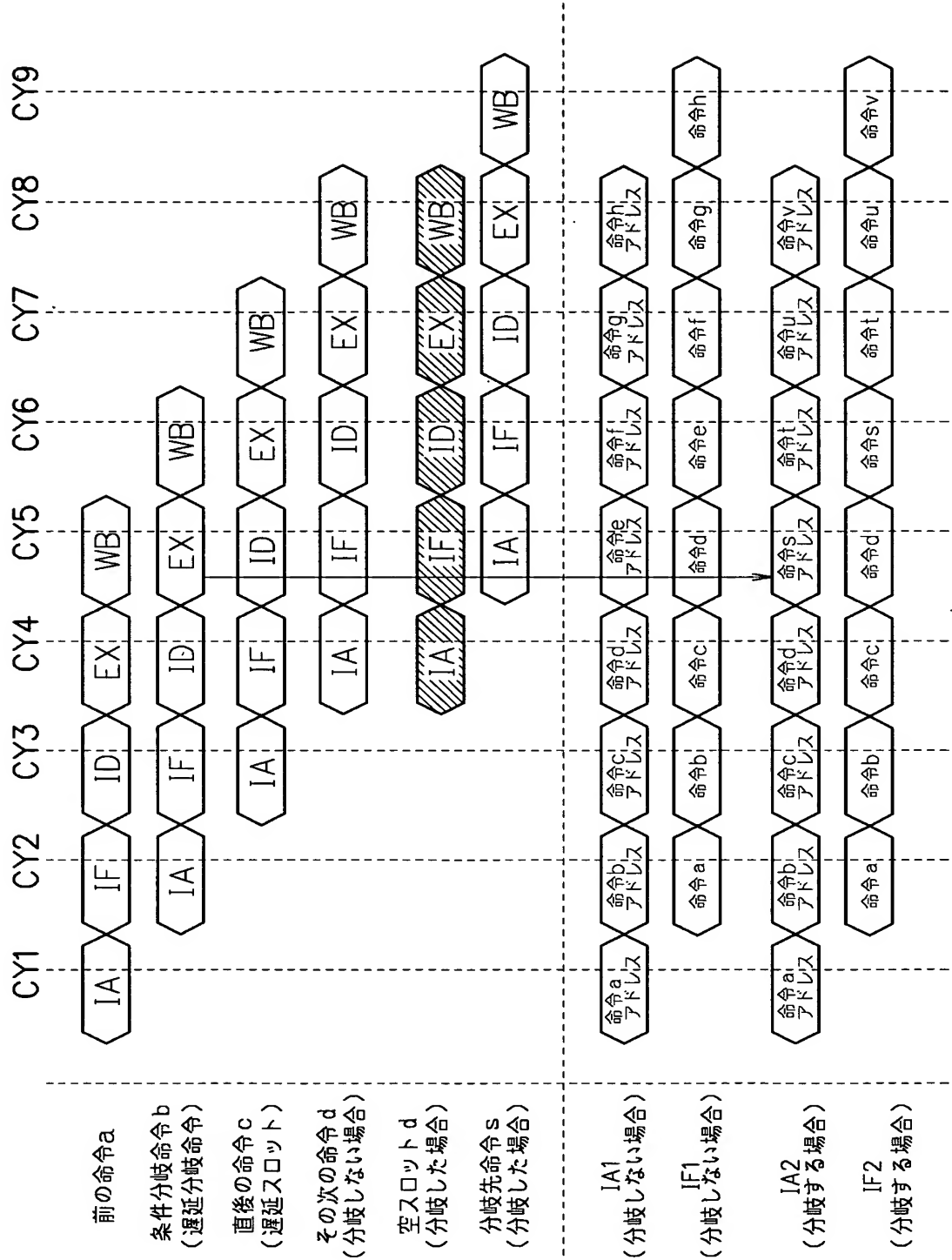
【書類名】 図面
【図1】



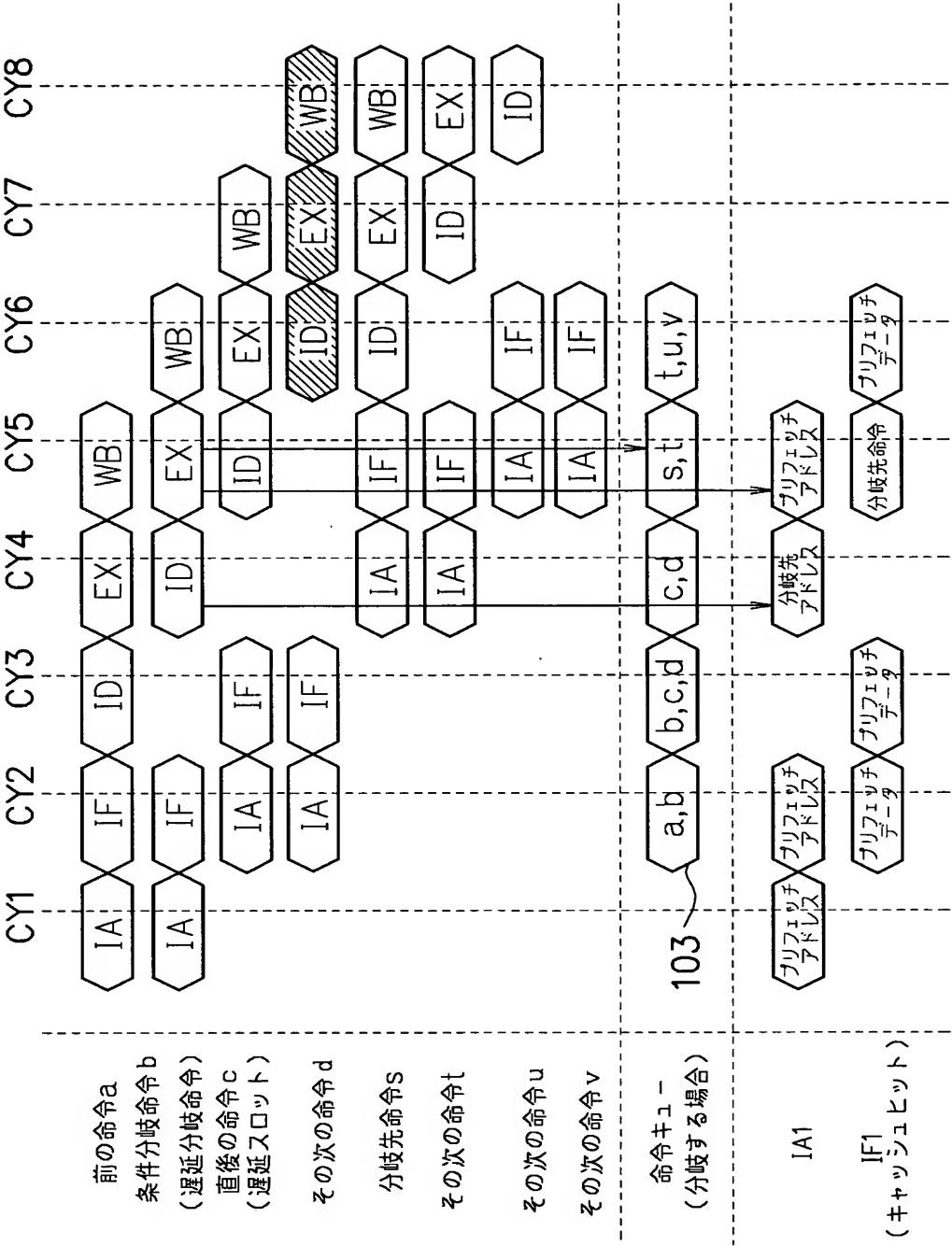
【図 2】



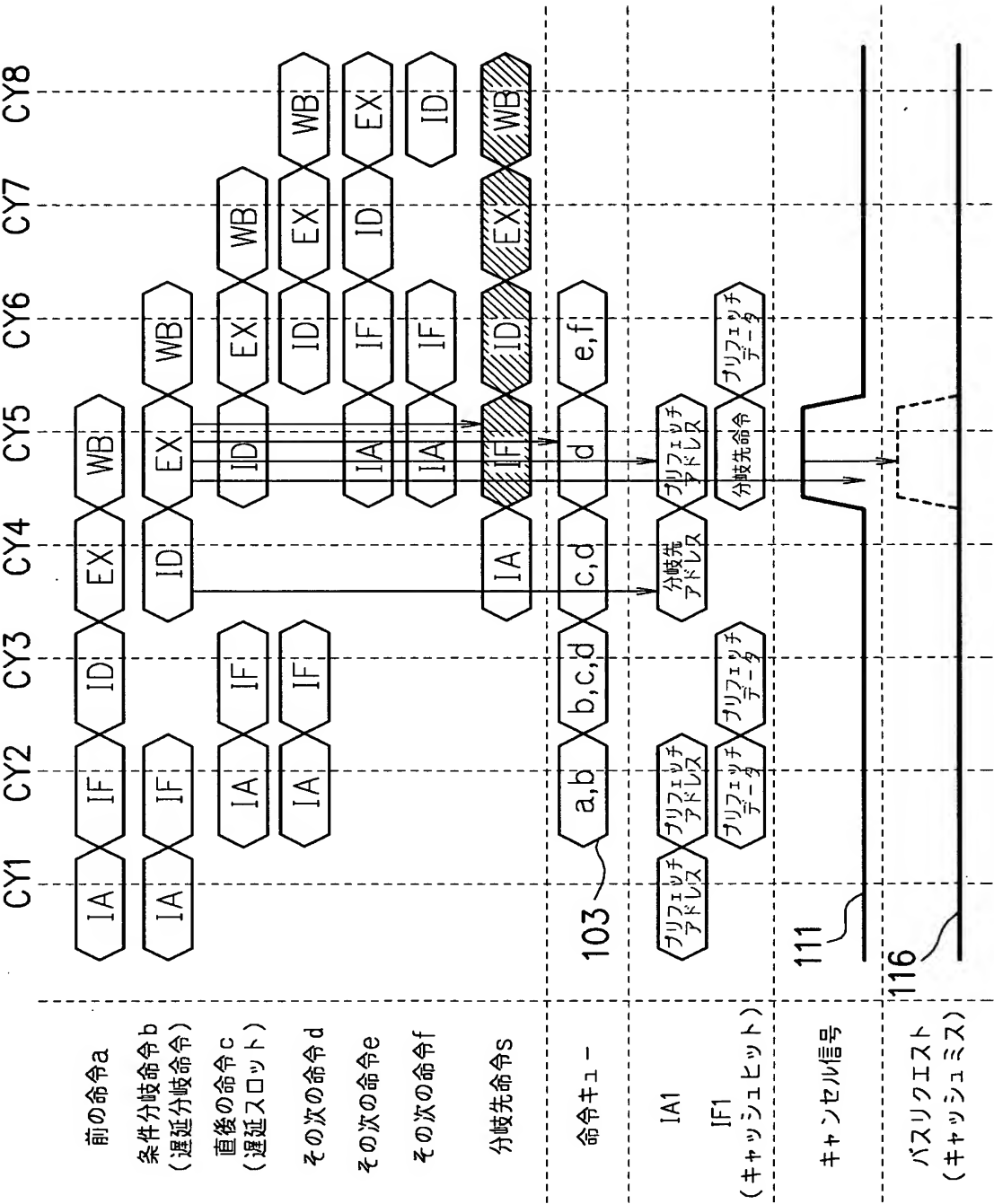
【図 3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 大規模な回路を使用せず、簡単な論理回路で分岐命令実行時のペナルティを無くす手法を提供することを課題とする。

【解決手段】 命令長の2倍以上の幅で命令を取り込み、プリフェッチした命令を蓄えておくプリフェッチバッファ（103）と、プリフェッチバッファに蓄えられた命令をデコードするためのデコーダ（105）と、デコードされた命令を実行するための演算器（107）とを有する情報処理装置が提供される。命令要求制御回路（104）は、分岐命令をデコードした時点で分岐先命令をプリフェッチ要求し、それ以外の時はシーケンシャルに命令のプリフェッチ要求を行う。プリフェッチ制御回路（104）は、分岐命令により分岐した場合に分岐先命令をプリフェッチバッファに取り込み、分岐しなかった場合は無視する。

【選択図】 図1

特願 2002-307184

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中1015番地

氏 名

富士通株式会社

2. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社